

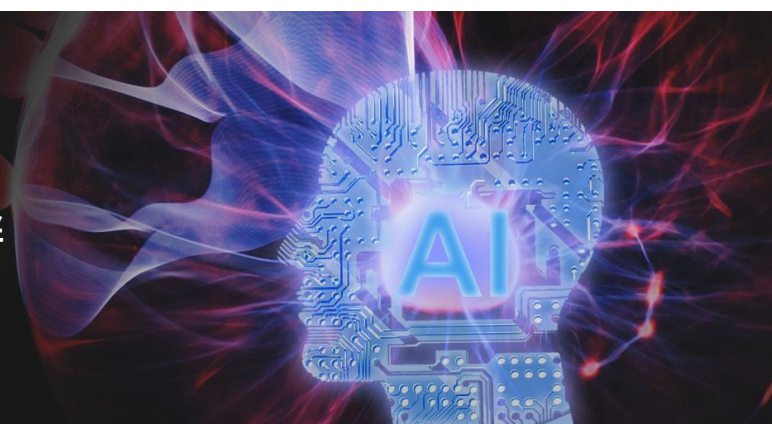
AIV3X智能计算卡 产品手册

Date 2024-09-26



品立科技 | 昇腾APN合作伙伴

Plink-AI | Ascend APN Partner



北京品立科技有限责任公司保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

注意

您购买的产品、服务或特性等应受品立科技商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，**本公司对本文档内容不做任何明示或暗示的声明或保证。**

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

了解更多产品 请扫码



官网



公众号



视频号

北京品立科技有限责任公司

网址: <http://www.plink-ai.com/>

地址: 北京市海淀区上地三街金隅嘉华大厦C座1108室

联系电话: +86-010-62962285/400-127-3302

AIV3X智能计算卡 产品手册修订记录

修订版	修订日期	修订内容	使用硬件版本
V 1.0	2024-07-02	创建文档	V 1.0
V 2.0	2024-09-26	更新CPU信息	V 2.0

产品硬件修订历史

硬件版本	修订日期	修订内容
V 1.0	2024-07-02	初始版本



电子元件和电路对静电放电很敏感，虽然本公司在设计电路板卡产品时会对板卡上的主要接口做防静电保护设计，但很难对所有元件及电路做到防静电安全防护。因此在处理任何电路板组件时，建议遵守防静电安全保护措施。

防静电安全保护措施包括但不限于以下几点：

1. 运输、存储过程中应将板卡放在防静电袋中，直至安装部署时再拿出板卡。
2. 在身体接触板卡之前应将身体内寄存的静电释放掉：佩戴放电接地腕带。
3. 仅在静电放电安全区域内操作电路板卡。
4. 避免在铺有地毯的区域搬移电路板。
5. 通过板边接触来避免直接接触板卡上的电子元件。

产品概述 Introduction

AIV3X智能计算卡基于昇腾310P芯片设计的高性能边缘推理模组，算力最高可达176TOPS@INT8。CPU处理器为16核，CPU主频1.9GHz；AI处理器为10核，主频1.08GHz；其视频编解码主要指标如下：

支持24路1080P@30fps/3路4K@60fps H.264/H.265 视频编码

支持96路1080P@ 30fps/12路4K@60fps H.264/H.265 视频解码

支持4K@384fps (FHD@2048fps) JPEG解码

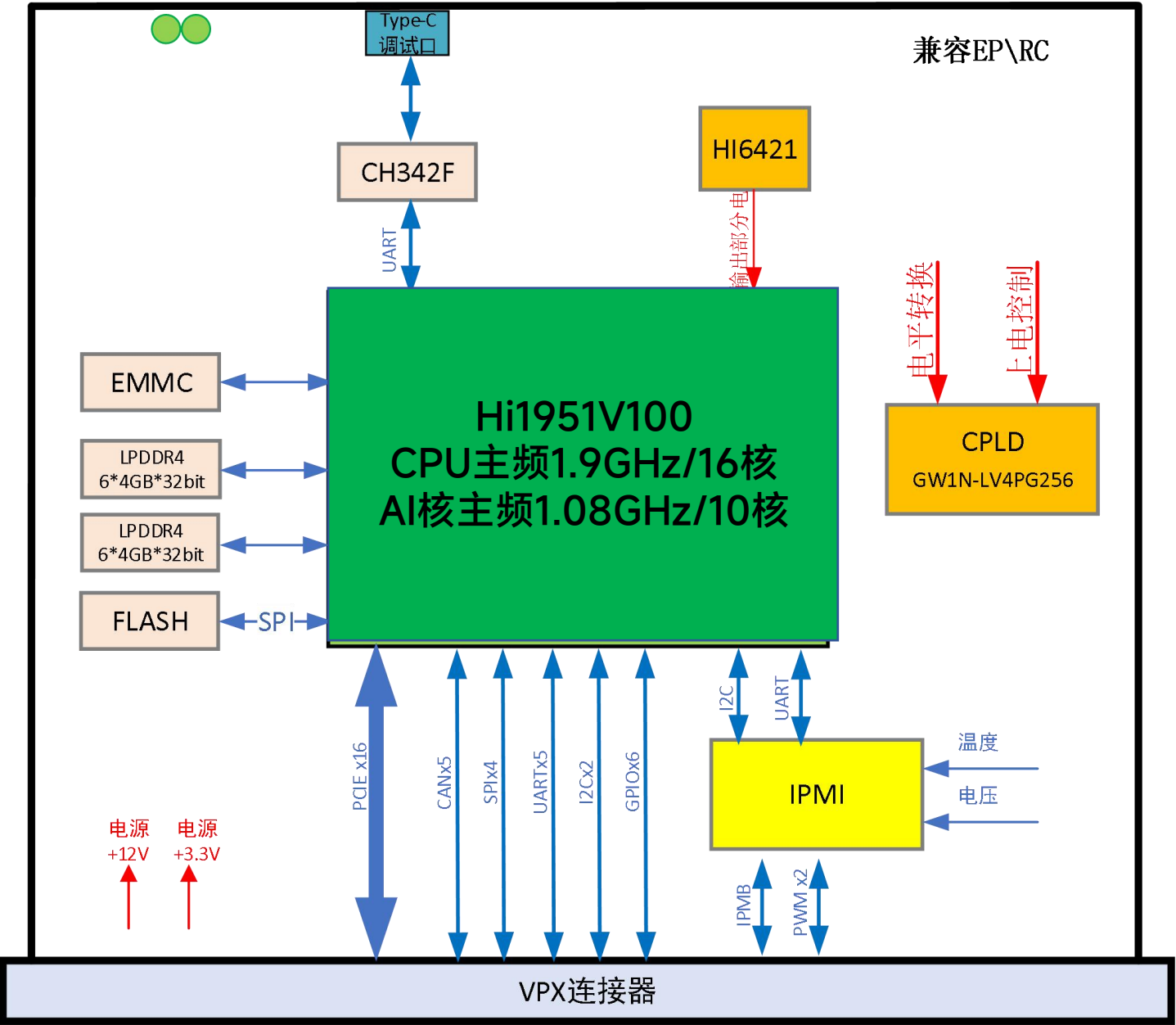
支持4K@192fps (FHD@1024fps) JPEG编码

支持 up/down scaling, crop, Chroma up/down sampling, color space conversion
(等效FHD 4320FPS)

AIV3X智能计算卡符合VPX VITA46标准，采用3U结构尺寸，前面板引出1路AI Type-C调试口以及一个复位开关，引出一个电源指示灯以及一个状态灯；通过VPX连接器输入PCIE x16接口，向下兼容PCIE x8。

AIV3X智能计算卡主要应用于边缘端的应用场景，最大可提供176TOPS INT8算力，满足边缘计算盒子，智能AI工控机的算力需求。

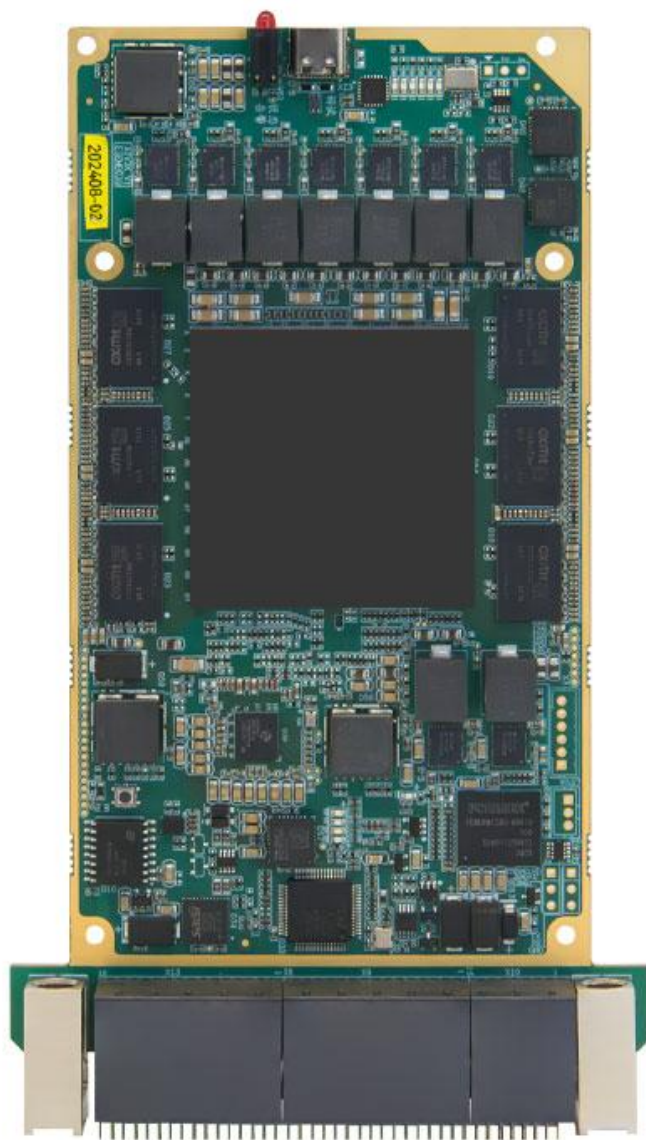
原理框图 Schematic Diagram



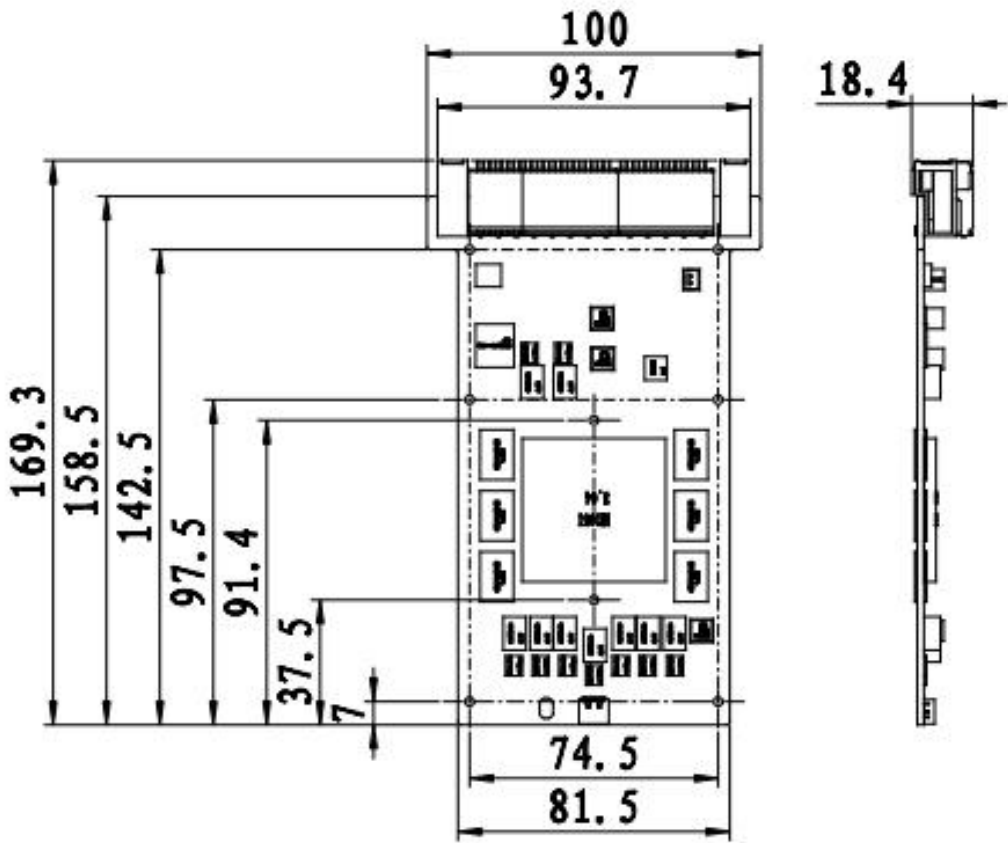
通用智能计算卡原理框图

产品结构及布局 Structure and Layout

AIV3X智能计算卡外形符合VPX板卡要求，可采用导冷散热、风冷散热方式。



AIV3X智能计算卡PCBA实物图



技术规格 Technical Specifications

序号	模块/类别	规格
1	处理器	昇腾310P
2	IPMI	(1) 板载IPMI，可采集板卡温度、电压，可控制板卡上、下电 (2) 提供2路I2C接口，用于IPMI通信
3	显存	12颗32位LPDDR4X总容量48G
4	EMMC	板载128G颗粒
5	前出调试接口	Type-C接口
6	PCIe	VPX连接器引出，PCIE X16
7	指示灯接口	含有一个电源指示灯、一个状态指示灯
8	电源	支持 12V 直流供电
9	功耗	≤120W
10	重量	≤1Kg
11	尺寸	遵循VPX VITA46规范
12	环境适应性	-40°C~+65°C（工业级）
13	操作系统	搭配银河麒麟/欧拉驱动

连接器定义

Connector definition

连接器：P0							
	Row G	Row F	Row E	Row D	Row C	Row B	Row A
1	+12V	+12V	+12V	No Pad	+12V	+12V	+12V
2	+12V	+12V	+12V	No Pad	+12V	+12V	+12V
3	NC	NC	NC	No Pad	NC	NC	NC
4	IPMB_B_SCK	IPMB_B_SDA	GND	No Pad	GND	SYSRESET*	NC
5	GAP*	GA4*	GND	+3.3V_AUX	GND	IPMB_A_SCK	IPMB_A_SDA
6	GA3*	GA2*	GND	NC	GND	GA1*	GA0*
7	NC	GND	NC	NC	GND	NC	NC
8	GND	NC	NC	GND	NC	NC	GND

连接器: P1							
	Row G	Row F	Row E	Row D	Row C	Row B	Row A
1	NC	GND	M_PCIE_T X8n /XGE0_TX n	M_PCIE _TX8p /XGE0_ TXp	GND	M_PCIE_ RX8n /XGE0_R Xn	M_PCIE_ RX8p /XGE0_R Xp
2	GND	M_PCIE_ TX9n /XGE1_T Xn	M_PCIE_T X9p /XGE1_TX p	GND	M_PCIE _RX9n /XGE1_ RXn	M_PCIE_ RX9p /XGE1_R Xp	GND
3	NC	GND	M_PCIE_T X10n /XGE2_TX n	M_PCIE _TX10p /XGE2_ TXp	GND	M_PCIE_ RX10n /XGE2_R Xn	M_PCIE_ RX10p /XGE2_R Xp
4	GND	M_PCIE_ TX11n /XGE3_T Xn	M_PCIE_T X11p /XGE3_TX p	GND	M_PCIE _RX11n /XGE3_ RXn	M_PCIE_ RX11p /XGE3_R Xp	GND
5	NC	GND	M_PCIE_T X12n /XGE4_TX n /SATA0_T Xn	M_PCIE _TX12p /XGE4_ TXp /SATA0_ _TXp	GND	M_PCIE_ RX12n /XGE4_R Xn /SATA0_ RXn	M_PCIE_ RX12p /XGE4_R Xp /SATA0_ RXp
6	GND	M_PCIE_ TX13n /XGE5_T Xn /SATA1_ TXn	M_PCIE_T X13p /XGE5_TX p /SATA1_T Xp	GND	M_PCIE _RX13n /XGE5_ RXn /SATA1_ _RXn	M_PCIE_ RX13p /XGE5_R Xp /SATA1_ RXp	GND
7	NC	GND	M_PCIE_T X14n /XGE6_TX n /SATA2_T Xn	M_PCIE _TX14p /XGE6_ TXp /SATA2_ _TXp	GND	M_PCIE_ RX14n /XGE6_R Xn /SATA2_ RXn	M_PCIE_ RX14p /XGE6_R Xp /SATA2_ RXp
8	GND	M_PCIE_ TX15n /XGE7_T Xn /SATA3_ TXn	M_PCIE_T X15p /XGE7_TX p /SATA3_T Xp	GND	M_PCIE _RX15n /XGE7_ RXn /SATA3_ _RXn	M_PCIE_ RX15p /XGE7_R Xp /SATA3_ RXp	GND

9	A310P_GPIO53	GND	Hi1951_CAN1_RXD	Hi1951_CAN1_TXD	GND	Hi1951_CAN0_RXD	Hi1951_CAN0_TXD
10	GND	Hi1951_CAN3_RXD	Hi1951_CAN3_TXD	GND	Hi1951_CAN2_RXD	Hi1951_CAN2_TXD	GND
11	A310P_GPIO54	GND	Hi1951_SPI0_CS0#	Hi1951_SPI0_CLK	GND	Hi1951_CAN4_RXD	Hi1951_CAN4_TXD
12	GND	Hi1951_SPI1_CS0#	Hi1951_SPI1_CLK	GND	Hi1951_SPI0_MISO	Hi1951_SPI0_MOSI	GND
13	A310P_RC_EP_MD	GND	Hi1951_SPI2_CS0#	Hi1951_SPI2_CLK	GND	Hi1951_SPI1_MISO	Hi1951_SPI1_MOSI
14	GND	Hi1951_SPI3_CS0#	Hi1951_SPI3_CLK	GND	Hi1951_SPI2_MISO	Hi1951_SPI2_MOSI	GND
15	PCIE_RSTOUT#	GND	Hi1951_MDC0_DAT0	Hi1951_MDC0_CLK0	GND	Hi1951_SPI3_MISO	Hi1951_SPI3_MOSI
16	GND	NC	NC	GND	NC	NC	GND

连接器: P2							
	Row G	Row F	Row E	Row D	Row C	Row B	Row A
1	HKAD C_IN0	GND	M_PCIE_T X0n	M_PCIE_T X0p	GND	M_PCIE_ RX0n	M_PCIE_ RX0p
2	GND	M_PCI E_TX1n	M_PCIE_T X1p	GND	M_PCIE_ RX1n	M_PCIE_ RX1p	GND
3	HKAD C_IN1	GND	M_PCIE_T X2n	M_PCIE_T X2p	GND	M_PCIE_ RX2n	M_PCIE_ RX2p
4	GND	M_PCI E_TX3n	M_PCIE_T X3p	GND	M_PCIE_ RX3n	M_PCIE_ RX3p	GND
5	HKAD C_IN2	GND	M_PCIE_T X4n	M_PCIE_T X4p	GND	M_PCIE_ RX4n	M_PCIE_ RX4p
6	GND	M_PCI E_TX5 n	M_PCIE_T X5p	GND	M_PCIE_ RX5n	M_PCIE_ RX5p	GND
7	PCIE_R STIN#	GND	M_PCIE_T X6n	M_PCIE_T X6p	GND	M_PCIE_ RX6n	M_PCIE_ RX6p
8	GND	M_PCI E_TX7n	M_PCIE_T X7p	GND	M_PCIE_ RX7n	M_PCIE_ RX7p	GND
9	HI1951_ RSVD_ STRAP 4	GND	A310P_U ART1_RX	A310P_U ART1_TX	GND	A310P_U ART0_RX	A310P_U ART0_TX
10	GND	A310P_ UART3 _RX	A310P_U ART3_TX	GND	A310P_U ART2_R X	A310P_U ART2_TX	GND
11	HI1951_ RSVD_ STRAP 1	GND	PCIE_100 M_CLKn	PCIE_100 M_CLKp	GND	A310P_U ART4_RX	A310P_U ART4_TX
12	GND	Hi1951_ I2C3_ SDA	Hi1951_I2 C3_SCL	GND	Hi1951_I 2C2_SD A	Hi1951_I2 C2_SCL	GND
13	HI1951_ RSVD_ STRAP 0	GND	A310P_G PIO189	A310P_G PIO188	GND	A310P_G PIO185	A310P_G PIO184

14	GND	HI1951_ RC_RE FCLK0 n	HI1951_R C_REFCL K0p	GND	A310P_ GPIO28 0	A310P_G PIO264	GND
15	NC	GND	NC	NC	GND	NC	NC
16	GND	Hi1951 _I2C1_S DA	Hi1951_I2 C1_SCL	GND	Hi1951_I 2C0_SD A	Hi1951_I2 C0_SCL	GND

信号定义说明

序号	信号名称	方向	电平	定义说明
1	P12V	P	12V	+12V电源输入, 12V±5%, 电流≥8A, 纹波≤50mV
2	P3V3_AUX	P	3.3V	+3V电源输入, +2.7V ~ +3.3V
3	GA[4:0]*、GAP			GA[4:0]*、GAP在主板上10K电阻上拉至+3.3V_AUX
4	SYSRESET	I	LVC MOS 3.3V	模组复位信号, 由HOST输入至模组
5	IPMB_I2CA/B	I/O	LVC MOS 3.3V	IPMC I2C接口, 已在模组内10K电阻上拉至3.3V_AUX
6	A310P_GPIOx	I/O	LVC MOS 3.3V	GPIO接口, RC模式时使能, EP模式时不生效
7	A310P_RC_EP_MD	I	LVC MOS 3.3V	模组PCIE接口RC/EP模式选择信号, 内部有上拉, 悬空表示选择为EP模式, 0欧姆电阻接地表示选择为RC模式; EP模式时必须悬空, 双模组互联时, 此设置两个模组必须相同, 即同为EP或RC
8	PCIE_RSTIN#	I	LVC MOS 3.3V	PCIE复位信号, EP模式时由HOST输入至模组, RC模式时不生效
9	PCIE_RSTOUT#	O	LVC MOS 3.3V	PCIE复位信号, RC模式时由模组输出, EP模式时不生效
10	Hi1951_I2C0~3	I/O	LVC MOS 1.8V	I2C MASTER接口, 已在模组内4.7K电阻上拉至1.8V, RC模式时使能, EP模式时不生效
11	A310P_UART0 /1/2/3/4_TX/RX	I/O	LVC MOS 3.3V	UART接口, RC模式时使能, EP模式时不生效
12	PCIE_100M_CLKINp/n	I	HCSL	PCIE参考时钟, EP模式时输入至模组
13	Hi1951_RC_RE_FCLK0 UTp/n	O	HCSL	PCIE参考时钟, RC模式时由模组输出
14	Hi1951_SPI0/1/2/3	I/O	LVC MOS 1.8V	SPI接口, RC模式时使能, EP模式时不生效
15	Hi1951_CAN0/1/2/3/4	I/O	LVC MOS 1.8V	CAN接口, RC模式时使能, EP模式时不生效, 使用时注意电平转换, 增加CAN收发器,CAN7内部与USB复用, 使用USB接口时该接口不可用
16	Hi1951_MDC0_CLK/DAT	I/O	LVC MOS 1.8V	MDIO接口, 用于XGE接口通过PHY芯片转成电口, RC模式时使能, EP模式时不生效
17	M_PCIE_TX/RX[7:0]p/n	I/O	CML	PCIE4.0 x8接口, 可与M_PCIE_TX/RX[15:8]组成PCIE x16; EP模式时模组为PCIE从设备, RC模式时模组为PCIE HOST端; TX为模组输出, 已加0.22uF AC耦合电容, RX为模组输入
18	M_PCIE_TX/RX[15:8]p/n	I/O	CML	PCIE4.0 x8接口, 可与M_PCIE_TX/RX[7:0]组成PCIE x16; EP模式时模组为PCIE从设备, RC模式时模组为PCIE HOST端; 接口可复用成XGE、SATA等功能接口; TX为模组输出, RX为模组输入, 作为PCIE总线时, TX信号需要在载板上增加0.22uF AC耦合电容; 作为XGE接口时, RX信号需要在载板上增加0.01uF AC耦合电容; 作为SATA接口时, TX/RX信号需要在载板上增加0.01uF AC耦合电容;
19	XGE0~7	I/O	CML	万兆以太网serdes接口, 可配置为10G BASE-X; RC模式时可复用为XGE或PCIE host接口, 部分接口可复用为SATA接口; EP模式时可配置为PCIE device接口; TX为模组输出, RX为模组输入
20	SATA0~3	I/O	CML	SATA3.0接口, HOST端; RC模式下可以复用为PCIE host接口、或XGE接口; EP模式时可配置为PCIE device接口; TX为模组输出, RX为模组输入
21	M_HKADC_IN[2:0]	I	LVC MOS 1.8V	BOARD ID配置引脚, 详情见用户指南6.12.2章节
22	M_RSVD_STRAP4/1/0	I	LVC MOS 1.8V	系统引导方式选择, 内部有上拉, RC模式时使用, EP模式时不生效
23	NC预留引脚			预留引脚, 悬空